

ABSTRAK

Tesis ini menghuraikan sebuah pendarab titik apungan 32bit bertalian paip 18MHz yang direkabentuk menggunakan bahasa perihalan perkakasan VHDL, peralatan sintesis Synopsys FPGA Express dan peralatan pemetaan Xilinx Alliance. PTA ini menggunakan 1007 CLB dan 100 IOB di mana peranti pemetaan yang digunakan ialah xc4036xl-bg432-2 daripada pustaka XC4000 Xilinx FPGA. Pendarab ini mengandungi tiga tahap talian paip yang belainan fungsi. Tahap pertama melaksanakan penjanaan dedarab dan penambahan dedarab secara *carry save* dan penambahan eksponen. Ia menggunakan algoritma Booth tertib kedua dan pepohon Wallace dengan pemampat 4-2. Tahap kedua pula melakukan penambahan bawaan rambatan akhir, penormalan mantisa dan pembetulan eksponen manakala tahap ketiga mengandungi pembundaran, penormalan semula mantisa dan pembetulan semula eksponen. Dengan menggunakan VHDL, peralatan sintesis dan peralatan pemetaan ia dapat membantu dalam masalah merekabentuk dengan adanya kekayaan algoritma dalam VHDL, membuat penganalisan samada melalui skematik, gelombang pemasaan dan tinjauan isyarat dan pembolehubah, selain daripada itu ia dapat membina cip yang '*right at first time*'. Masalah dalam pengaturcaraan VHDL, penyelakuan, sintesis dan pemetaan turut dibincangkan bagi mencapaikan objektif yang dikehendaki iaitu kebolehfungsian, kebolehsintesis dan berkelajuan tinggi.