

R

PERPUSTAKAAN UNIVERSITI MALAYA

ACM-2047

INVC 18/12/00

# PENDARAB TITIK APUNGAN 32BIT BERTALIAN PAIP

NOORZAILY MOHAMED NOOR

Sarjana Sains Komputer

Universiti Malaya

2000

Perpustakaan Universiti Malaya



A508765591

Dimikrofiskan pada..... 23. 11. 2001  
 No. Mikrofis..... 15103  
 Jumlah Mikrofis..... 1

HAMSIH BT. MOHAMAD ZAHARI  
 UNIT PERROGRAFI  
 PERPUSTAKAAN UTAMA  
 UNIVERSITI MALAYA

UPR

**PENDARAB TITIK APUNGAN 32BIT BERTALIAN PAIP**

oleh

**NOORZAILY MOHAMED NOOR**

TESIS YANG DIKEMUKAKAN UNTUK MEMPEROLEH  
IJAZAH SARJANA SAINS KOMPUTER

Fakulti Sains Komputer dan Teknologi Maklumat

Universiti Malaya

Kuala Lumpur

2000

*Untuk Keluarga Tersayang*

## PENGHARGAAN

Dengan Nama Allah Yang Maha Pemurah Lagi Maha Pengasih. Selawat dan Salam ke atas Junjungan Besar Nabi Muhammad S.A.W dan keluarga serta para sahabat. Alhamdulillah, syukur kehadiran Ilahi, dengan limpah kurniaNya terlaksana sudah salah satu matlamat hidup.

Terlebih dahulu sekalung penghargaan dan jutaan terima kasih ditujukan khas kepada Prof. Ir. Dr. Mashkuri Yaacob selaku penyelia projek di atas segala sumbangan khidmat bakti beliau, dorongan, tunjuk-ajar, bimbingan dan keperihatinan yang dicurahkan sepanjang saya menyiapkan projek ini.

Yang diingati dan dikasihi ibu, isteri dan keluarga tersayang yang telah banyak memberi bantuan, nasihat dan semangat dalam menjayakan projek ini.

Tidak dilupai, semua kakitangan Fakulti Sains Komputer & Teknologi Maklumat terutamanya Dr. Ifthekar Ahmed, En. Ibrahim Abu Bakar, Pn. Khaizura, Pn. Mohaidah, En. Baharuddin, Pn. Azlin, Cik Azzyati, En. Sim dan Pn. Swee Neo dan tidak ketinggalan semua kakitangan Pusat Asasi Sains terutamanya Dr Sahar, Dr Jamil, Dr. Azizan, Pn. Norazlin dan Pn. Haslina.

Semoga khidmat dan bakti kalian mendapat keberkatan dan keredhaan dariNya Yang Maha Esa

# KANDUNGAN

PENGHARGAAN	iv
SENARAI JADUAL	vii
SENARAI RAJAH	viii
SENARAI ATURCARA	ix
SENARAI KATA SINGKAT	x
ABSTRAK	xi
BAB 1 : PENGENALAN	1
1.1 Latar Belakang	1
1.2 Teknik Senibina Merekabentuk	3
1.3 Tujuan dan Objektif	7
1.4 Organisasi Tesis	8
BAB 2 : TINJAUAN LITERASI	9
2.1 Pengenalan Kepada Pendarab Titik Apungan (PTA)	9
2.1.1 Struktur Pepohon Lawan Tatasusun	11
2.1.2 Algoritma Booth Tertib Kedua	13
2.1.3 Penambah 4:2 dan Pemampat 4:2	15
2.1.4 Prestasi Pendarab Titik Apungan	19
2.2 Pengenalan Kepada Metodologi Rekabentuk Baru	25
2.2.1 Sintesis Peringkat Tinggi (SPT)	26
2.2.2 Persamaan Sintesis Perisian dan Perkakasan	28
2.2.3 VHDL	29

BAB 3 : PENDARAB TITIK APUNGAN 32BIT BERTALIAN PAIP	34
3.1 Pengenalan	34
3.2 Senibina	35
3.2.1 Tahap Pertama	36
3.2.2 Tahap Kedua	44
3.3.2 Tahap Ketiga	46
3.3 Aliran Proses Merekabentuk	49
BAB 4 : KEPUTUSAN DAN PERBINCANGAN	51
4.1 Pengenalan	51
4.2 Penyelakuan	51
4.3 Sintesis	57
4.4 Proses Penempatan dan Penghalaan	60
4.5 Perbincangan	63
BAB 5 : KESIMPULAN	68
5.1 Rumusan	68
5.2 Kerja Selanjutnya	69
RUJUKAN	70

## SENARAI JADUAL

Jadual 1.1 : Algoritma Booth	5
Jadual 2.1 : Isyarat keluaran bagi algoritma Booth tertib kedua	13
Jadual 2.2 : Jadual kebenaran penambah 4:2	16
Jadual 2.3 : Perbandingan antara kos dan prestasi pendarab	21
Jadual 2.4 : Aras pengabstrakan	24
Jadual 2.5 : Perbandingan pendarab pepohon Wallace 54×54bit	24
Jadual 3.1 : Algoritma Booth tertib kedua	38
Jadual 4.1 : Maklumat pustaka yang digunakan	51
Jadual 4.2 : Keterangan gambarajah penyelakuan I dan II	53
Jadual 4.3 : Keterangan gambarajah penyelakuan III dan IV	55
Jadual 4.4 : Pemasaan bagi jam	53
Jadual 4.5 : Bilangan Komponen	62

## SENARAI RAJAH

Rajah 1.1 : Format data	4
Rajah 2.1 : Organisasi pendarab titik apungan	9
Rajah 2.2 : Tatasusun selari	11
Rajah 2.3 : Pepohon Wallace	11
Rajah 2.4 : Struktur pepohon dan tatasusun	12
Rajah 2.5 : Gambarajah blok penambah 4:2	15
Rajah 2.6 : Penambah 4:2 dibina dengan dua PP	16
Rajah 2.7 : Pemampat 4:2	17
Rajah 2.8 : Pemampat 4:2 (48 transistor)	19
Rajah 2.9 : Pendaraban mantisa dalam dua pendaman	22
Rajah 2.10: Pendaraban mantisa dalam satu pendaman	23
Rajah 2.11: Senibina penambah 108bit	23
Rajah 2.12: Langkah-langkah dalam pembangunan perisian dan perkakasan	28
Rajah 3.1 : Rekabentuk teras	34
Rajah 3.2 : Organisasi pendarab titik apungan 32bit bertalian paip	36
Rajah 3.3 : Gambarajah blok 12 pengekod Booth	38
Rajah 3.4 : Susun-aturl bit-bit dedarab	40
Rajah 3.5 : Sambungan antara penambah-penambah 16:2	41
Rajah 3.6 : Penormalan dan pembetulan eksponen	45
Rajah 3.7 : Aliran proses merekabentuk	50
Rajah 4.1a : Gambarajah penyelakuan I	53
Rajah 4.1b : Gambarajah penyelakuan II	54
Rajah 4.1c : Gambarajah penyelakuan III	54
Rajah 4.1d : Gambarajah penyelakuan IV	55
Rajah 4.2 : Gambarajah skematik PTA 32bit bertalian paip	59
Rajah 4.3 : Pelan lantail PTA 32bit bertalian paip	54
Rajah 4.4 : PTA 32bit dalam dua pendaman	65



## SENARAI PROGRAM

Program 3.1 : Isyarat masukan dan keluaran	35
Program 3.2 : Semakan sifar	37
Program 3.3 : Perlanjutan bit tanda	37
Program 3.4 : Penambahan eksponen	37
Program 3.5 : Semakan limpahan tahap pertama	38
Program 3.6 : Pengekod Booth	39
Program 3.7 : Penjanaan dedarab	40
Program 3.8 : Perlanjutan bit tanda dan sifar	42
Program 3.9 : Susun-atur dedarab dalam bentuk matrik $13 \times 1$	42
Program 3.10 : Pepohon Wallace	43
Program 3.11 : Gabungan program 3.7 hingga 3.6	43
Program 3.12 : Penambahan bawaan dan jumlah	44
Program 3.13 : Isyarat anjakan_1	45
Program 3.14 : Proses anjakan	45
Program 3.15 : Pembetulan eksponen	46
Program 3.16 : Semakan limpahan tahap kedua	46
Program 3.17 : Proses pembundaran	47
Program 3.18 : Isyarat anjakan_2	47
Program 3.19 : Proses anjakan	47
Program 3.20 : Penentu isyarat jawapan	48

## Senarai Kata Singkat

Singkatan	Bahasa Malaysia	English Language
ARE	Automasi Rekabentuk Elektronik	Electronic Design Automation (EDA)
BPP	Bahasa Perihal Perkakasan	Hardware Description Language (HDL)
CCS	Pilih Bawaan Bersyarat	Conditional Carry Select
CLA	Penambah Peninjau Bawaan	Carry Lookahead Adder
CLB	Blok Logik Kebolehkonfigurasi	Configurable Logic Block
CPA	Penambah Perambatan Bawaan	Carry Propagate Adder
CSA	Penambah Penyimpan Bawaan	Carry Save Adder
GFLOPS	-	Giga Floating point Operation Per Second
HI	Harta Intelek	Intellectual Property (IP)
IC	Litar Bersepadu	Integrated Circuit
ICKK	IC Kegunaan Khusus	Application Specific IC (ASIC)
IEEE	-	Institute Electrical Electronic Engineering
IOB	Blok Masukan Keluaran	Input Output Block
MFLOPS	-	Mega Floating point Operation Per Second
PID	Pemproses Isyarat Digital	Digital Signal Processing (DSP)
PLiT	Papan Litar Tercetak	Printed Circuit Board (PCB)
PLoT	Peranti Logik Teraturcara	Programmable Logic Device
PLoTK	Peranti Logik Teraturcara Kompleks	Complex Programmable Logic Device (CPLD)
PP	Penambah Penuh	Full Adder (FA)
PS	Penambah Separuh	Half Adder (HA)
PTA	Pendarab Titik Apungan	Floating Point Multiplier (FPM)
RCA	Penambah Pembawa Riak	Ripple Carry Adder
RTK	Rekabentuk Terbantut Komputer	Computer Aided Design (CAD)
SDF	-	Standard Delay Format
SDW	-	Synopsys DesignWare
SoC	-	System on Chip
SoP	-	System on Package
SPT	Sintesis Peringkat Tinggi	High Level Synthesis (HLS)
TGTM	Tatasusunan Get Teraturcara Medan	Field Programmable Gate Array (FPGA)
UPP	Unit Pemprosesan Pusat	Central Processing Unit (CPU)
UTA	Unit Titik Apungan	Floating Point Unit (FPU)
VLSI	Persepaduan Skala Amat Besar	Very Large Scale Integration
XNF	-	Xilinx Netlist File

## ABSTRAK

Tesis ini menghuraikan sebuah pendarab titik apungan 32bit bertalian paip 18MHz yang direkabentuk menggunakan bahasa perihalan perkakasan VHDL, peralatan sintesis Synopsys FPGA Express dan peralatan pemetaan Xilinx Alliance. PTA ini menggunakan 1007 CLB dan 100 IOB di mana peranti pemetaan yang digunakan ialah xc4036xl-bg432-2 daripada pustaka XC4000 Xilinx FPGA. Pendarab ini mengandungi tiga tahap talian paip yang belainan fungsi. Tahap pertama melaksanakan penjanaan dedarab dan penambahan dedarab secara *carry save* dan penambahan eksponen. Ia menggunakan algoritma Booth tertib kedua dan pepohon Wallace dengan pemampat 4-2. Tahap kedua pula melakukan penambahan bawaan rambatan akhir, penormalan mantisa dan pembetulan eksponen manakala tahap ketiga mengandungi pembundaran, penormalan semula mantisa dan pembetulan semula eksponen. Dengan menggunakan VHDL, peralatan sintesis dan peralatan pemetaan ia dapat membantu dalam masalah merekabentuk dengan adanya kekayaan algoritma dalam VHDL, membuat penganalisan samada melalui skematik, gelombang pemasaan dan tinjauan isyarat dan pembolehubah, selain daripada itu ia dapat membina cip yang '*right at first time*'. Masalah dalam pengaturcaraan VHDL, penyelakuan, sintesis dan pemetaan turut dibincangkan bagi mencapaikan objektif yang dikehendaki iaitu kebolehfungsian, kebolehsintesis dan berkelajuan tinggi.