

BAB 1

PENGENALAN

1.1 : LATAR BELAKANG

Unit titik apungan (UTA) atau dikenali sebagai kopemproses berangka, merupakan komponen utama atau litar khas dalam pemecut grafik, Pemproses Isyarat Digital (PDI) dan sistem komputer berkelajuan tinggi. Ia mengandungi beberapa set arahan khas yang difokuskan ke keseluruhan operasi matematik untuk memanipulasi angka dengan cepat dan tepat.

UTA boleh dibina samada dalam cip yang berasingan (seperti Intel 80387 atau Motorola 68881) atau disepadukan dengan Unit Pemprosesan Pusat (UPP) seperti Pentium [1]. Kesepaduan ini disebabkan oleh peningkatan ketumpatan kesepaduan cip kerana kemajuan teknologi semikonduktor. Pemproses Intel 486DX merupakan pemproses Intel yang pertama menggunakan kesepaduan fungsian kopemprosesan matematik dalam-cip (*on-chip*), pemproses Intel sebelumnya menggunakan kopemproses matematik luar-cip (*off-chip*). Pemproses siri Pentium menggunakan UTA dalam-cip dengan lapan tahap talian paip dan fungsi terdawai keras (*hardwired function*) untuk meningkatkan prestasi perhitungan matematik. Ini menjadikan pemproses Pentium (1110/133) melaksanakan arahan titik apungan lima hingga sepuluh kali lebih pantas daripada Intel486™ DX2-66 [2]. Kebanyakan komputer peribadi pada hari ini, telah sedia-ada UTA, tetapi ia hanya untuk kegunaan tertentu seperti pemproses imej atau paparan. Komputer peribadi yang tiada UTA boleh

mengendali perisian yang memerlukannya dengan memuatkan peniru titik apungan (*floating point emulator*).[3]

Pada hari ini, perisian aplikasi seperti SPSS, Matlab dan sebagainya memerlukan pemproses titik apungan yang berprestasi tinggi untuk mengendali pengiraan saintifik. Selain daripada itu, ia juga penting untuk komputer grafik, komputer set arahan terkurang, pemproses isyarat digital dan sebagainya, ini disebabkan oleh peningkatan dalam permintaan terhadap penggunaan peralatan multimedia terutamanya aplikasi-aplikasi grafik tiga-dimensi (3D) masa nyata yang interatif, di mana ia sedia untuk digunakan walaupun pada komputer peripadi. Dalam proses penukaran geometri untuk aplikasi grafik 3D, terlalu banyak operasi titik apungan diperlukan dan pemprosesan data selari. Bilangan operasi aritmetik dalam aplikasi grafik 3D masa nyata bergantung kepada kualiti objek 3D dan kadar kerangka (*frame rate*). Sebagai contoh, dalam kes skrin resolusi 1600×1280 dan 60 kerangka sesaat, jika objek 3D dibentuk dengan poligon yang kecil (25 piksel per poligon) dan 80% daripada keluasan skrin memproses objek 3D secara berterusan, dianggarkan 4 juta poligon sesaat diproses. Untuk prestasi penukaran geometri 3D bagi 1 juta poligon sesaat memerlukan prestasi aritmetik titik apungan 250 hingga 300 MFLOPS [4]. Oleh itu untuk 4 juta poligon sesaat, ia memerlukan perhitungan titik apungan 1 GFLOPS atau lebih. Untuk memenuhi keperluan diatas, adalah penting sesebuah pemproses titik apungan itu berkelajuan tinggi dan bersaiz kecil.

Secara keseluruhannya pembinaan pemproses titik apungan banyak bergantung kepada bagaimana pendarab, penambah/penolak dan pembahagi titik apungan direkabentuk terutamanya untuk operasi berfrekuensi tinggi (*high clock operation*)

yang merupakan kunci untuk meningkatkan prestasi sistem terutamanya dalam pemprosesan imej dan pemprosesan isyarat digital. Pada khususnya, Pendarab Titik Apungan (PTA) 32bit atau 64bit merupakan komponen terbesar dalam laluan data dan merupakan salah satu elemen yang menentukan prestasi pemproses dan ia juga sangat rumit untuk dibina secara skematik atau pada tahap transistor. Namun begitu pada hari ini pendarab titik apungan bertalian paip yang berkelajuan tinggi boleh di bina dengan menggunakan Bahasa Perihalan Perkakasan (BPP) iaitu VHDL (*Very high speed integrated circuit Hardware Description Language*) yang boleh disintesiskan dan dilaksanakan dalam Tata susunan Get Teraturcara Medan (TGTM) dengan menggunakan peralatan Synopsys dan Xilinx.

1.2 : TEKNIK SENIBINA MEREKABENTUK

Dalam pembinaan litar menggunakan VHDL, empat teknik yang sedia-ada atau boleh dipertimbangkan untuk mendapatkan prestasi yang baik.[5]

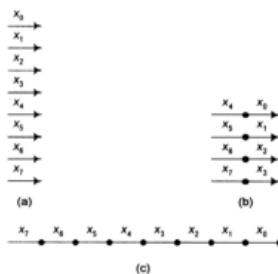
- **Keselarian (*Parallelism*)**

Keselarian boleh dieksplotasikan untuk meningkatkan kelajuan dengan menduaikan perkakasan. Sebagai contoh, dalam satu pendaraban, pekalinya 24bit dan jika menggunakan algoritma Booth tertib kedua maka 12 pengekod Booth diperlukan untuk menjanakan 12 dedarab serentak. Keselarian juga boleh didapati dengan menyusun-aturkan get-get logik supaya isyarat-isyarat keluarannya selari.

[6]

- Pemetaan litar (*Circuit mapping*)

Ia bergantung kepada format data yang digunakan. Rajah (1.1) menunjukkan tiga format data yang berlainan. Pendarab sesiri dan jujukan menggunakan format bit sesiri di mana ia selalunya mengandungi penumpuk (*accumulator*), bergantung kepada pemasaan (*clocking*) dan memerlukan beberapa kitaran-jam (*clock-cycle*) untuk mendapatkan penyelesaian. Pendarab selari pula menggunakan format bit selari [6][7][8][10][11] dan format digit sesiri digunakan pada pendarab lelaran [12]. Dengan kata lain, format data masukan yang berlainan akan menghasilkan senibina litar yang berlainan.



Rajah (1.1) : Format data : (a) bit selari; (b) digit sesiri; dan (c) bit sesiri

- Pewakilan nombor (*Number representation*)

Selalunya, litar menggunakan pewakilan pelengkap-kedua (*second-complement*). Walaupun begitu terdapat beberapa cara lain untuk pewakilan nombor seperti sistem nombor reja (*residue number system*) dan sistem nombor lewahan (*redundant number system*). Dalam sistem nombor reja atau pewakilan nombor perduaan bertanda (*signed binary number system representations* - SNBR), ia serupa dengan nombor kedudukan (*positional number*) kecuali setiap digit-

digitnya mempunyai tanda dan *weight*. Di dalam pendarab, datanya dikodkan semula ke SBNR di mana skim pengekodan yang paling ringkas ialah algoritma Booth (rujuk Jadual (1.1)). [13]

Jadual (1.1) : Algoritma Booth

x_i	x_{i-1}	y_i
0	0	0
1	1	0
1	0	$\bar{1}$
0	1	1

Contoh (1.1)

Nilai $0011110011(0)$ dikodkan menjadi $01000\bar{1}010\bar{1}$, di dapati hanya empat operasi penambahan/penolakan diperlukan berbanding enam sebelum dikodkan. Bit di dalam kurungan ialah bit rujukan x_{-1} untuk x_0 .

- Penjelmaan litar (*Circuit transformation*)

Terdapat berbagai-bagai penjelmaan litar boleh dipergunakan untuk mengubahsuai senibina litar bagi mencapai prestasi yang dikehendaki. Di antaranya ialah:

Talian-paip (*Pipelining*)

Terdapat dua asas dalam rekabentuk komputer berprestasi tinggi iaitu arahan bertalian paip dan aritmetik bertalian paip. Aritmetik bertalian paip terdiri daripada beberapa unit perkakasan (segmen), di mana setiap segmen diperuntukkan beberapa tugas secara berjujukan yang terdiri daripada

operasi-operasi aritmetik [14]. Kebiasaan aritmetik bertalian paip digunakan untuk operasi titik apungan dalam komputer saintifik berprestasi tinggi, walaubagaimanapun terdapat juga operasi titik tetap yang menggunakan talian paip terutama dalam operasi vektor. Boleh dikatakan semua superkomputer-vektor menggunakan aritmetik bertalian paip. Talian paip juga digunakan untuk mempertingkatkan kepenggunaan perkakasan dengan melakukan beberapa perhitungan bertindih. Selain daripada itu, ia juga meningkat kadar truput seperti dalam SPIM (*Stanford Pipelined Iterative Multiplier*) [12].

Perkongsian Pekakasan (*Hardware sharing*)

Talian paip digunakan untuk meningkatkan kadar truput, tetapi untuk kes perkakasan berfrekuensi rendah, perkakasannya berkemungkinan beroperasi lebih pantas daripada yang diperlukan. Oleh itu, ia adalah lebih baik sekiranya perbelanjaan dikurangkan dengan mengurang saiz perkakasan dengan menggunakan teknik perkongsian perkakasan seperti dalam keadaan lelaran. [12]

Selain daripada empat perkara di atas, teknologi litar bersepadu juga memainkan peranan yang penting untuk meningkatkan prestasi di mana ia merupakan teknologi yang dapat mengurangkan saiz, penggunaan kuasa dan menambahkan kelajuan. Teknologi ini dapat menghasilkan saiz cip yang kecil kerana kedua-dua transistor dan pendawaian dikecilkan ke tahap mikrometer berbanding dengan pembinaan komponen diskrit yang berskala milimeter atau centimeter. Saiz juga merupakan faktor utama yang menentukan kelajuan dan penggunaan kuasa kerana komponen kecil selalunya

mempunyai rintangan, kapasitan dan induktan yang kecil. Kelajuan pula bergantung kepada kepentasan pensuisan di antara logik 0 dan logik 1. Di dalam cip, komunikasinya seratus kali lebih pantas berbanding di antara cip dalam Papan Litar Tercetak (PLiT).[15]

1.3 : TUJUAN DAN OBJEKTIF

Menghuraikan rekabentuk pendarab titik apungan 32bit yang berformat *Institute Electrical Electronic Engineering* (IEEE), di mana ia mengandungi tiga segmen bertalian paip. Segmen pertama terdiri daripada penambahan eksponen dan pendaraban mantisa. Pendaraban mantisa mengandungi tiga bahagian iaitu penjanaan dedarab yang menggunakan algoritma Booth tertib kedua untuk mengurangkan bilangan dedarab, penambahan dedarab yang terdiri daripada pepohon Wallace [16] di mana pemampat 4-2 sebagai blok asas dan penambahan akhir. Penambahan akhir berada dalam segmen kedua beserta dengan penormalan. Segmen ketiga pula terdiri daripada pembundaran dan penormalan semula. Pengesan limpahan atas dan bawah terdapat dalam segmen dua dan tiga. Keseluruhan rekabentuk PTA ditulis dalam VHDL dan dilaksanakan dalam TGTM.

VHDL dan peralatan Synopsys digunakan kerana ia boleh mengenal pasti fungsian pada peringkat awal proses dan seterusnya melaksanakan simulasi ke atas rekabentuk tersebut di mana data-data atau maklumat-maklumat masukan diperihalkan dalam VHDL. Ini dinamakan simulasi peringkat tertinggi sebelum perlaksanaan peringkat get. Ia membolehkan ujian dan keputusan rekabentuk diperolehi. Sesudah itu, perihalan VHDL boleh ditukarkan kepada litar logik secara automatik berdasarkan teknologi yang digunakan. Ini mengurangkan masa merekabentuk litar dan kesilapan

yang wujud dalam menterjemahkan VHDL kepada get jika dibandingkan dengan penggunaan tangan. Ia juga dapat menghasilkan rekabentuk yang bersaiz kecil atau berkelajuan tinggi secara automatik melalui proses pengoptimuman.

VHDL merupakan dokumentasi yang bebas dari teknologi. Perihalan VHDL juga sangat mudah dibaca dan difahami daripada *netlist* atau gambarajah dan ia boleh digunakan semula untuk menjanakan rekabentuk dalam teknologi lain tanpa mengubahkannya. Ia juga boleh dijadikan harta intelek (HI) yang boleh digunakan semula oleh mana-mana pihak dengan keizinan.

1.4 : ORGANISASI TESIS

Tinjauan literasi di dalam Bab 2 menerangkan pendarab selari yang digunakan dalam PTA dan VHDL. Bab 3 pula memperihalkan struktur rekabentuk PTA 32bit bertalian paip dalam VHDL dan carta aliran proses-proses dalam merekabentuk. Keputusan dan perbincangan terdapat dalam Bab 4 dan kesimpulan dalam Bab 5.