

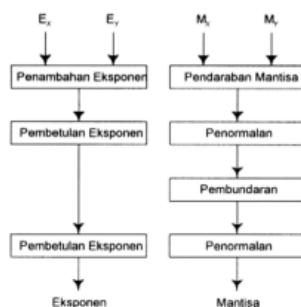
BAB 2

TINJAUAN LITERASI

2.1 PENGENALAN KEPADA PENDARAB TITIK APUNGAN (PTA)

PTA membabitkan operasi penambahan yang banyak untuk mendapatkan jawapan. Pada masa ini, UTA menggunakan berbagai-bagai struktur litar untuk membina pendarab titik apungan. Rekabentuk yang dipilih mempunyai berbeza-beza kekompleksan senibina dan gaya litar.

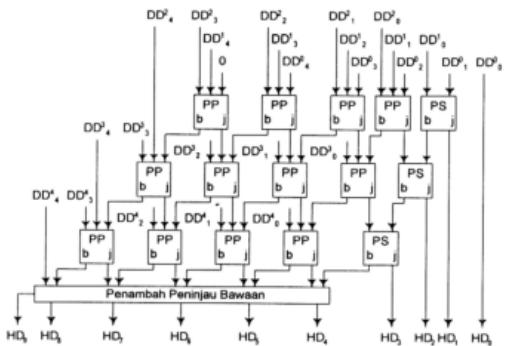
Rajah 2.1 menunjukkan salah satu organisasi PTA yang terdiri daripada pendaraban mantisa, penambahan eksponen, pembetulan eksponen, penormalan dan pembundaran. Pendaraban mantisa merupakan bahagian yang paling besar dan kritikal di mana ia menentukan prestasi, kelajuan, kepenggunaan kuasa dan saiz untuk sesebuah pendarab titik apungan.



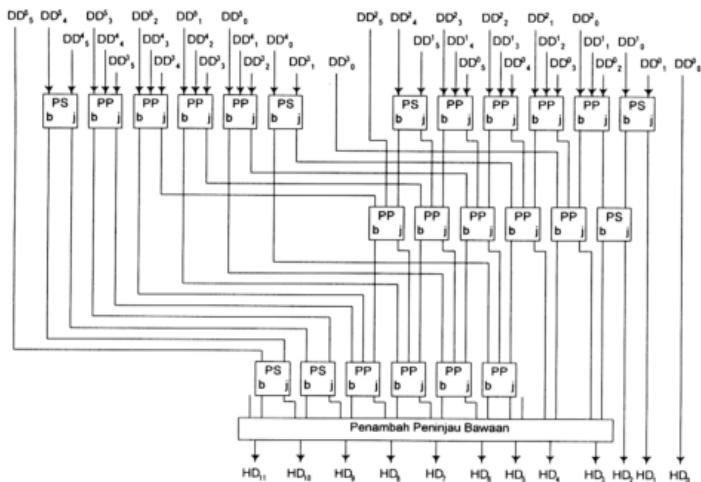
Rajah 2.1 : Organisasi pendarab titik apungan

Pendaraban mantisa merupakan pendaraban titik tetap, maka pendarab mantisa boleh menggunakan sebarang jenis pendarab titik-tetap. Terdapat berbagai-bagai struktur litar pendarab seperti pendarab sesiri, jujukan selari, pendarab selari dan carian jadual, namun begitu hanya sedikit sahaja yang digunakan secara meluas. Untuk penjelasan litar aritmetik yang lebih baik boleh didapati daripada buku yang ditulis oleh Ormondi.[14] Pendarab-pendarab tersebut dikenali sedemikian kerana teknik penambahan dedarab yang digunakan seperti pendarab sesiri menggunakan teknik penambahan sesiri.

Permintaan terhadap pemproses berkelajuan tinggi semakin meningkat, ini menyebabkan berbagai-bagai elemen pemproses berkelajuan tinggi dibangunkan atau diterokai. Salah satu elemen yang penting ialah pendarab selari. Sesetengah rekabentuknya menggunakan tatasusunan penuh beserta dengan teknologi litar laju (*fast circuit technology*) untuk mencapai prestasi tinggi dan ada pula menggunakan struktur penambah pepohon yang kompleks untuk meminimumkan bilangan get dalam laluan kritikal [17]. Pada amnya, pendarab selari bermakna menggunakan dua atau lebih penambah dalam menyelesaikan penambahan dedarab, yakni melakukan lebih operasi penambahan dalam satu kitaran seperti pendarab bertatasusun selari (*parallel array multiplier*) (Rajah 2.2) dan pendarab pepohon Wallace (*Wallace tree multiplier*) (Rajah 2.3). Di mana $DD^u v$ merupakan bit v bagi dedarab u dan HD adalah bit hasildarab.



Rajah 2.2 : Tatasusun selari



Rajah 2.3 : Pepohon Wallace

2.1.1: Struktur Pepohon Lawan Tatasusun.

Struktur pepohon (seperti pepohon Wallace) akan mengurangkan siri penambahan dedarab lebih pantas daripada kaedah tatasusun biasa, ia hanya memerlukan $\log_2 N$

teknik penambahan bertatasusun selari, tetapi ia sukar untuk dilaksanakan dalam talian paip sepenuhnya. Ini memberi kesan kepada masa-truput. [14]

2.1.2: Algoritma Booth Tertib Kedua

Struktur pepohon mengurangkan tahap operasi penambahan, manakala algoritma Booth tertib kedua pula digunakan dengan meluas dalam pendarab untuk mengurangkan bilangan dedarab sebanyak separuh (yakni secara tidak langsung ia mengurangkan bilangan dedarab dan CSA atau penambah 4:2) tanpa bergantung kepada susunan bit 0 dan 1 dalam pekali dan mengendalikan operasi pendaraban diantara nombor negatif dan positif dalam tatatanda pelengkap duaan dengan mudah tanpa sebarang penalti [18]. Teknik talian paip boleh digunakan dalam algoritma ini supaya dapat meningkatkan prestasi dan beroperasi pada kuasa rendah [19].

Jadual 2.1 : Isyarat keluaran bagi algoritma Booth tertib kedua.

Masukan			Fungsi	Isyarat Keluaran ($D_{i,j}$)						
				Kebiasaan			Isyarat Empat Keluaran			
y_{j+1}	y_j	y_{j-1}		TG_j	G_j	N_j	TG_j	G_j	P_j	N_j
0	0	0	0	0	0	0	0	1	0	0
0	0	1	$+X$	1	0	0	1	0	1	0
0	1	0	$+X$	1	0	0	1	0	1	0
0	1	1	$+2X$	0	1	0	0	1	1	0
1	0	0	$-2X$	0	1	1	0	1	0	1
1	0	1	$-X$	1	0	1	1	0	0	1
1	1	0	$-X$	1	0	1	1	0	0	1
1	1	1	0	0	0	1	0	1	0	0

N_j : Dedarab negatif; P_j : Dedarab positif; TG_j : Tidak disongsangkan G_j : Songsang

Pertimbangkan pendaraban dua nombor n -bit dalam tatatanda pelengkap-kedua, X dan Y , iaitu

$$X = x_{n-1}x_{n-2}\cdots x_{i+1}x_i x_{i-1}\cdots x_1 x_0$$

$$Y = y_{n-1}y_{n-2}\cdots y_{j+1}y_j y_{j-1}\cdots y_1 y_0$$

di mana Y adalah pekali dan n diandaikan sebagai nombor genap. Pada kebiasaan, algoritma Booth tertib kedua, tiga isyarat yakni G_j , TG_j dan N_j dijanakan daripada tiga bit bersebelahan dalam Y , y_{j+1} , y_j dan y_{j-1} untuk memilih versi dedarab, iaitu $0X$, $+X$, $+2X$, $-2X$ dan $-1X$ seperti yang ditunjukkan dalam Jadual 2.1. Isyarat G_j dan TG_j menunjukkan samada X digandakan atau tidak. Manakala N_j menunjukkan versi negatif. Oleh itu nilai X atau $2X$ bergantung kepada data pengekodan G_j atau TG_j dan ia disongsangkan sekiranya N_j berlogik satu. Bagi algoritma tiga isyarat keluaran, persamaan logikal untuk isyarat keluaran, $D_{i,j}$, pada bit X ke i (x_i), dan bit Y ke j (y_j), adalah seperti berikut

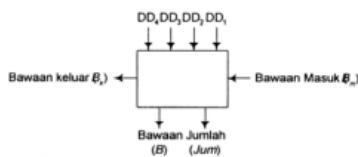
$$D_{i,j} = (x_i G_j \vee x_{i-1} TG_j) \forall N_j \quad (2.1)$$

di mana $i = 0, 1, 2, \dots, n-1$ dan $j = 0, 2, 4, \dots, n-4, n-2$.

Jika diperhatikan persamaan 2.1 menggunakan get logik eksklusif ATAU (XOR) di mana ia memerlukan dua aras logik. Untuk mengelak penggunaan XOR, algoritma pengkodan Booth dengan empat isyarat keluaran boleh digunakan [4]. Isyarat keluaran tambahan tersebut ialah P_j yang mewakili isyarat bagi pemilihan dedarab positif seperti di dalam Jadual 2.1. Dalam pengekodan biasa, hanya isyarat N_j sahaja digunakan bagi menentukan bagi dedarab negatif atau positif. Untuk pengekodan ini, kedua-dua isyarat dedarab negatif dan positif dijanakan. Iaitu P_j aktif apabila pemilihan dedarab positif dan N_j ketika pemilihan dedarab negatif. Manakala isyarat TG_j dan G_j menunjukkan samada dedarab disongsangkan atau tidak. Maka persamaan logikal $D_{i,j}$ menjadi

$$D_{i,j} = (x_i P_j \vee \overline{x_i} N_j) TG_j \vee (x_{i-1} P_j \vee \overline{x_{i-1}} N_j) G_j$$

2.1.3: Penambah 4:2 Dan Pemampat 4-2



Rajah (2.5): Gambarajah blok penambah 4:2 di mana $DD(1 \sim 4)$ ialah bit dedarab yang sama berat (*weight*).

Pepohon Wallace, Dadda dan lain-lain menggunakan PP atau CSA sebagai blok asas pembinaan pepohon. PP dan CSA mempunyai tiga masukan yang sama berat (*weight*) dan menghasilkan dua keluaran. Dengan sifat 3:2 ini, adalah mustahil untuk membina struktur pepohon yang teratur atau tersusun dengan menggunakan PP sebagai blok asas.

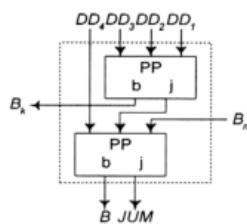
Pepohon perduaan mempunyai kesimetrikan dan struktur yang tersusun yakni sebarang blok asas yang mengurangkan hasilnya dengan faktor 2 akan mempunyai pepohon yang lebih tersusun daripada sifat 3:2. Untuk mendapatkan struktur pepohon yang tersusun maka sifat 4:2 digunakan sebagai blok asas dalam pembinaan struktur pepohon [12]. Sifat 4:2 mengurangkan empat dedarab yang sama berat (*weight*) ke 2 bit.

Jika diperhatikan Rajah 2.5, penambah 4:2 sebenarnya mempunyai lima masukan dan tiga keluaran. Ia adalah berbeza daripada penambah 5:3 yang mempunyai lima masukan yang sama berat dan menghasilkan tiga keluaran yang berlainan berat. Keluaran *jumlah* penambah 4:2 mempunyai berat 1 manakala *B* dan *B_{keluaran}*, kedua-

duanya mempunyai berat 2. Dalam penambahan, 4:2 bukanlah satu penambah yang mudah kerana keluaran $B_{keluaran}$ semestinya bukan fungsi bagi masukan $B_{masukan}$ daripada blok bersebelahan atau bawaan riak akan wujud. Panggilan 4:2 adalah berdasarkan kepada bilangan masukan daripada satu aras pepohon dan bilangan keluaran yang dihasilkan pada aras terendah yang seterusnya. Iaitu setiap empat masukan pada satu aras, dua keluaran akan dihasilkan pada aras terendah yang berikutnya. Ini bersamaan dengan pepohon perduaan yang mana pada setiap dua masukan, satu keluaran dihasilkan pada aras yang berikutnya [12]. Penambah 4:2 boleh dibina daripada Jadual 2.2 atau sel-sel PP seperti Rajah 2.6.

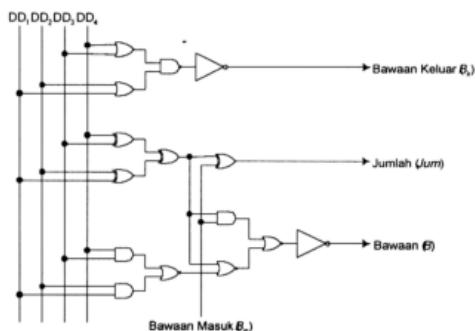
Jadual (2.2) : Jadual kebenaran penambah 4:2 di mana n adalah bilangan masukan daripada DD (1 - 4) yang bernilai bit 1. Simbol * bermaksud samada B_k atau B bernilai bit 1, bukan keduanya.

n	B_m	B_k	B	Jum
0	0	0	0	0
1	0	0	0	1
2	0	*	*	0
3	0	1	0	1
4	0	1	1	0
0	1	0	0	1
1	1	0	1	0
2	1	*	*	1
3	1	1	1	0
4	1	1	1	1



Rajah 2.6 : Penambah 4:2 dibina dengan dua PP.

Penambah 4:2 yang dibangunkan oleh dua PP diubahsuai untuk meningkatkan keselarian dengan membinanya dalam elemen tatasusun seperti Rajah 2.7 dan diberi nama sebagai pemampat 4-2 (*4-2 compressor*).



Rajah 2.7 : Pemampat 4-2

Dengan menggunakan pemampat 4-2, tahap perambatan dalam tatasusun berkurangan dengan lebih ketara berbanding dengan penggunaan PP. Perhatikan perbandingan di antara tiga skim yang berlainan [6].

- Skim pertama ialah tatasusun menggunakan CSA (yang dibangunkan daripada PP) beserta dengan algoritma Booth tertib kedua.
- Skim kedua menggunakan algoritma Booth tertib kedua dan pepohon Wallace menggunakan PP sebagai blok asas.
- Skim ketiga pula menggunakan algoritma Booth tertib kedua dan pepohon Wallace menggunakan pemampat 4-2 sebagai blok asas.

Dalam kes pendaraban $n \times n$ - bit , bilangan tahap perambatan bagi skim pertama diberi oleh persamaan berikut

$$L_{\text{pertama}} = (n/2 - 1) \cdot 2$$

Masa lengah ditaksirkan sama dengan bilangan get XOR (ATAU-eksklusif). Oleh kerana masa lengah PP setanding dengan masa lengah dua get XOR yang berjuntaian maka faktor 2 digunakan untuk penggantian bilangan get XOR.

Untuk skim kedua pula diberi oleh persamaan berikut

$$L_{\text{kedua}} = \{\log_{3/2}(n/4)\} \cdot 2$$

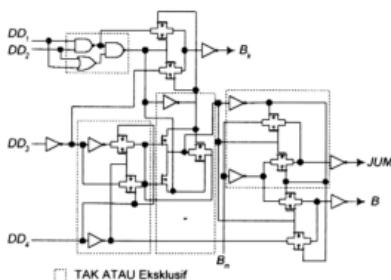
Logaritma ini diterbitkan daripada fakta yang menyatakan bahawa dalam tatasusun PP, tiga dedarab boleh dimampatkan menjadi dua pada satu masa.

Dalam skim ketiga, persamaannya ialah

$$L_{\text{ketiga}} = \{\log_{4/2}(n/4)\} \cdot 3$$

Logaritma ini dihasilkan dengan mempertimbangkan bahawasanya dalam tatasusunan pemampat 4-2, empat dedarab boleh dimampatkan menjadi dua secara serentak. Jika diperhatikan dari Rajah (2.8), masa lengah untuk pemampat 4-2 bersamaan dengan tiga get XOR yang berjuntaian. Oleh itu faktor 3 dimasukkan.

Pemampat 4-2 boleh dibina dengan hanya menggunakan 48 transistor (Rajah 2.8) yang digunakan dalam [4] dan diterokai/dimajukan untuk meningkatkan kelajuan dan berkuasa rendah [20]. Ini menunjukkan bahawa pemampat 4-2 memainkan peranan yang penting dalam meningkatkan prestasi pendaraban.



Rajah 2.8 : Pemampat 4-2 (48 transistor)

2.1.4 : Prestasi Pendarab Titik Apungan

Pendaraban merupakan salah satu operasi penting dalam mikropemproses. di mana mikropemproses masa kini, menyediakan unit titik apungan dalam-cip. Oleh itu pada kebiasaannya, prestasi pendaraban menentukan kelajuan pemproses. Unit titik apungan dalam ini disatukan bersama dengan jam mikropemproses (*microprocessor's clock*) dan semestinya lebih pantas supaya dapat menghindarkan kependaman berbilang kitaran dalam operasi titik apungan [7]. Selain daripada itu, kemunculan aplikasi untuk multimedia, PID dan pemecutan grafik telah menyebabkan desakan untuk meningkatkan prestasi atau kelajuannya. Salah satu bahagian UTA yang tidak boleh lari daripada desakan tersebut ialah pendarab titik apungan. Ia merupakan bahagian atau arahan yang penting dan kerap digunakan selain daripada penambah iaitu 37% daripada keseluruhan arahan titik apungan. Di dalam kebanyakan situasi, pendarab titik apungan digunakan atau dikongsi bersama dalam algoritma pembahagi berasaskan-pendaraban (*multiplication-based division algorithm*) di mana lebih kurang 18% arahan pendaraban diperlukan [21].

Terdapat berbagai teknik digunakan dalam pendaraban mantisa untuk meningkatkan prestasi. Pendarab *twin beat* Manchester MU5 menggunakan gabungan multi-CSA berlelar dan pengekodan semula pekali (*multiplier recoding*), ia merupakan pendarab 56bit pelengkap kedua yang menggunakan pengekodan semula pekali 3bit. Di dalam CDC 6600 pendarab-belahian berlelar (*iterative split multiplier*) digunakan untuk pendaraban 48bit titik apungan. Tiga teknik digunakan iaitu belahan-pekali, imbasan berbilang bit dan multi-CSA berlelar. Pendarab CDC STAR-100 pula bersamaan dengan pendarab dalam CDC 6600, cuma ia menggunakan CSA tanpa lelaran (dalam pepohon Wallace), ia dapat menggandakan prestasi sekiranya data adalah pendek.[14] SPIM menggunakan teknik pengekodan semula pekali, talian paip yang intensif dan multi-CSA dalam struktur lelaran di mana ia merupakan sebahagian daripada teknik-teknik yang digunakan untuk meningkatkan prestasi, tahap kepenggunaan perkakasan dan saiz untuk 80bit titik apungan [12].

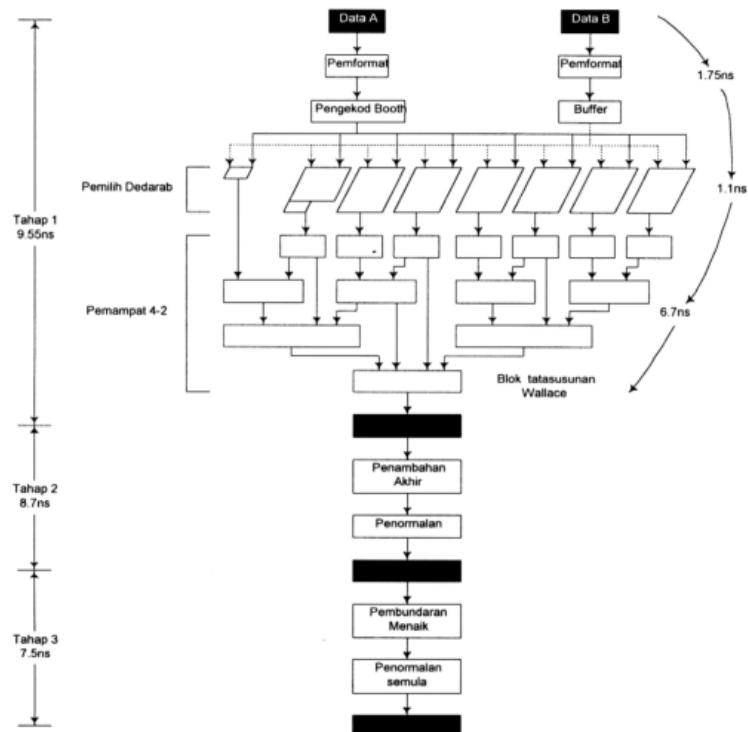
Jadual 2.3 menunjukkan perbandingan prestasi dan kos bagi lima jenis pendarab untuk 32 dan 64bit yang diambilkan daripada [14]. Sekiranya saiz menjadi isu utama, maka pendarab sesiri adalah yang terbaik kerana ia murah dan ringkas. Jika saiz menjadi isu tetapi memerlukan prestasi yang agak baik, teknik penambah jujukan dengan CPA digunakan ataupun teknik penambahan jujukan menggunakan CSA yang memberi prestasi yang lebih baik daripada CPA dengan sedikit pertambahan saiz. Teknik pepohon Wallace adalah yang pilihan terbaik untuk pendarab berkelajuan tinggi dalam dua pendaman atau kurang manakala kaedah tatasusunan boleh ditingkatkan prestasinya dengan penggunaan talian paip sepenuhnya.

Jadual 2.3 : Perbandingan antara kos dan prestasi pendarab.

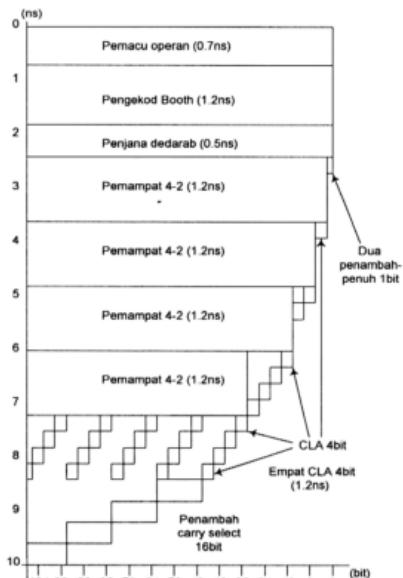
Bit	Pendarab	Masa (t)	Kos (k)	Kos : Prestasi $\times 10^{-4}$
32	Sesiri	3072	30	9.22
	Jujukan (CSA)	416	1000	41.60
	Jujukan (CPA)	203	1864	37.83
	Tatasusunan selari	101	15972	161.31
	Pepohon Wallace	32	17274	55.28
64	Sesiri	12288	30	36.86
	Jujukan (CSA)	832	2224	185.04
	Jujukan (CPA)	385	3952	152.15
	Tatasusunan selari	197	64908	1278.68
	Pepohon Wallace	35	67554	236.44

Walaubagaimanapun sejak kebelakangan ini, pendarab berstruktur selari atau sejajar diterokai supaya pendaraban dapat dilaksanakan dalam dua pendaman atau kurang.

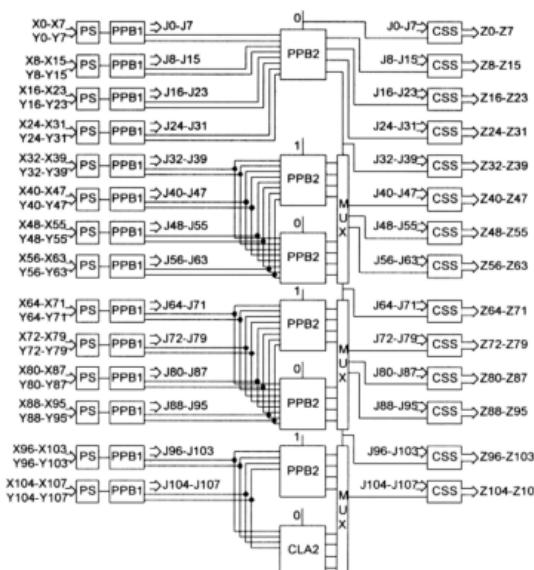
Rajah 2.9 menunjukkan pendarab selari dalam dua pendaman [22] manakala Rajah 2.10 merupakan pendarab selari dalam satu pendaman sahaja [7]. Ini dapat dilaksanakan dengan meningkatkan keselarian dan mengurangkan bilangan tahap hitungan. Sememangnya telah ketahui umum bahawa kedua-dua algoritma Booth tertib kedua dan pepohon Wallace merupakan kaedah yang sungguh berkesan untuk mengurangkan bilangan tahap hitungan. Ini menjadi pendarab selari terdiri daripada tiga blok: blok Booth, blok tatususun dan penambahan akhir. Blok Booth akan menjanakan dedarab secara serentak berdasarkan algortima Booth tertib kedua. Blok tatususun pula melakukan operasi penambahan dedarab yang dihasilkan dari blok Booth dan ia menghasilkan sepasang data (yakni bawaan dan jumlah). Blok terakhir menggunakan penambah pilih-bawaan (*carry-select adder*) yang terdiri daripada PS, CLA dan 8bit CCS (rujuk Rajah 2.11) untuk menjanakan hasildarab pendaraban.[9]



Rajah 2.9 : Pendaraban mantisa dalam dua pendaman



Rajah 2.10: Pendaraban mantisa dalam satu pendaman



Rajah 2.11: Senibina penambah 108bit

Pendarab selari berkelajuan tinggi yang diterokai, dibina atau direkabentuk pada peringkat transistor di mana peringkat ini merupakan peringkat pengabstrakan paling rendah dalam proses rekabentuk sistem elektronik yang terdiri daripada empat aras pengabstrakan seperti dalam Jadual 2.4 [23]. Jadual 2.5 menunjukkan perbandingan kriteria enam pendarab pepohon Wallace 54×54 bit berkelajuan tinggi yang dibina pada peringkat transistor untuk pendaraban titik apungan 64bit.

Jadual 2.4 : Aras pengabstrakan

Aras	Kelakuan	Komponen	Objek fizikal
Transistor	Persamaan pembeza, gambarajah arus-voltan	Transistor, perintang, kapasitor	Sel-sel analog dan digital
Get	Persamaan Boolean, mesin keadaan terhingga.	Get, flip-flop	Modul, unit
Daftar (<i>Register</i>)	Algoritma, carta aliran, set-set arahan	Penambah, pembanding, pendaftar, pembilang, laluan-data, fail pendaftar	Mikrocip
Pemproses	Spesifikasi boleh laksana, program	Pemproses, pengawal, memori, ASIC	PCB, modul berbilang cip

Jadual 2.5: Perbandingan masa truput pendarab pepohon Wallace 54×54 bit.

Tahun	Litar	Fabrikasi	Saiz	Transistor	Truput
1991[7]	Saluran-n pass transistor dan saluran-p litar bebanan (<i>load circuit</i>) dalam laluan kritisikal.	2-metal 0.5μm CMOS	12.489mm ²	81600	10.0ns
1992[8]	Saluran-n pass transistor dalam litar XOR.	3-metal 0.8μm CMOS	12.936mm ²	82500	13.0ns
1995[9]	Pemultipleks pass transistor dalam pemampat 4-2 dan CLA	3-metal 0.25μm CMOS	12.856mm ²	100200	4.4ns
1996[10]	Logik precharged pass transistor	4-metal 0.3μm CMOS	16.92mm ²	126024	4.3ns
1997[4]	Logik pass transistor dalam pemampat 4-2 (48 transistor) dan pengekod sign select Booth	3-metal 0.25μm CMOS	1.27mm ²	60797	4.1ns
1998[11]	Get logik pass transistor dan dual-rail domino dalam pemampat 4-2 dll	4-metal 0.25μm CMOS	3.15mm ²	135318	2.7ns

Dari Jadual 2.5, di dapatkan sejak lima tahun kebelakangan ini, struktur selari telah diterokai dan dimajukan. Ini adalah kerana ia mempunyai darjah keselarian yang tinggi dan boleh melaksanakan pendaraban mantisa dalam satu pendaman sahaja. Walaubagaimanapun, struktur selari ini diterokai lagi dengan menggunakan pendekatan baru yakni pendarab digital berasas rangkaian neural [24]. Selain daripada peranan algoritma Booth tertib kedua, pepohon Wallace (berasaskan pemampat 4-2) dan penambah pilihan bawaan dalam meningkatkan prestasi pendarab, teknologi perlitaran seperti *pass transistor*, *dual-rail domino* dan lain-lain juga ada sumbangannya, begitu jugalah dengan teknologi fabrikasi yang digunakan. Pada amnya, prestasi pendaraban mantisa (yakni pendaraban titik tetap) bergantung kepada aras pengabstrakan, struktur, pemetaan litar dan teknologi fabrikasi yang digunakan.

2.2 PENGENALAN KEPADA METODOLOGI REKABENTUK BARU

Pembinaan PTA pada peringkat transistor adalah sangat sukar dan kompleks, walaupun ia memberikan hasil yang bagus dari segi prestasi dan saiz. Kesukaran dan kekompleksan di atasi dengan munculnya: [5]

- Pembangunan set bersepadu peralatan rekabentuk terbantu komputer yang membolehkan pengguna memerangkap atau memasukkan rekabentuk, melaksanakan simulasi dan melaksanakan susun-atur litar dalam satu peralatan persekitaran tunggal.
- Pembangunan teknologi sel dan tatasusunan get piawai. Pembuat-pembuat silikon mengeluarkan pustaka pratakrif susun-atur litar untuk fungsi yang ringkas seperti get DAN dan ATAU dan fungsi komplek seperti penambah dan penyahkod. Ini memudah proses merekabentuk dan membolehkan rekabentuk disintesis. Namun

begitu sejak kebelakangan ini, pembangunannya lebih kepada evolusi pustaka generik seperti pustaka-pustaka Compass Passport yang telah dioptimumkan dengan meluasnya dalam proses silikon dan dengan itu pengguna-pengguna boleh beralih dari satu pembekal ke pembekal yang lain.

- Pembangunan BPP seperti VHDL dan Verilog dan pembangunan peralatan sintesis sekutuan yang membolehkan litar dibangunkan pada tahap pengabstrakan tinggi.

Titik pemulaan dalam kebanyakkan peralatan sintesis logik ialah perihalan perlakuan berkenaan senibina tersebut. Dengan itu, cabaran yang dihadapi oleh pereka ialah membangunkan atau membina kod VHDL atau Verilog yang boleh disintesikan, berfungsi dan memenuhi tujuan dalam konteks saiz, kelajuan dan penggunaan kuasa.

2.2.1 Sintesis Peringkat Tinggi (SPT)

Daripada tahun 1970an hingga 1980an, Rekabentuk-Terbantu Komputer (RTK) seiring dengan peningkatan kekompleksan litar, di mana pembangunannya beralih dari sintesis litar pada peringkat transistor ke peringkat logik. Dengan bantuan peralatan sintesis peringkat logik, pereka boleh memerangkap spesifikasi sistem pada peringkat pengabstrakan yang lebih tinggi. Kelebihan peringkat pengabstrakan tinggi ialah ia dapat mengurangkan bilangan objek yang patut dimanipulasikan oleh pereka dan membolehkan pereka mencipta atau merekabentuk litar yang lebih besar dan kompleks dalam masa yang singkat. BPP seperti VHDL atau Verilog digunakan untuk menjanakan perihalan struktur yang terdiri daripada set-set komponen saling-bersambungan yang dinamakan *netlist*.

Terdapat beberapa produk SPT berkualiti yang digunakan dalam industri seperti IBM BooleDozer, Synopsys Design Compiler, Synopsys Behavioral Compiler dan Cadence Synergy. Kebanyakkan peralatan SPT diterima atau diakui oleh komuniti pereka litar, maka pada hari ini, pereka-pereka logik tidak perlu lagi menggunakan peralatan skematic atau pernyataan Boolean untuk merekabentuk litar digital. Dengan kata lain, merekabentuk logik hampir sama dengan pengaturcaraan perisian. SPT membolehkan pereka-pereka logik menumpukan perhatian terhadap perihalan perkakasan litar dan mencari rekabentuk alternatif yang lebih baik.

Salah satu lagi kelebihan SPT ialah ia memberi peluang kepada pengaturcara atau pereka yang tiada latar-belakang berkenaan perkakasan untuk merekabentuk litar dan menghasilkan cip. Ia boleh menggunakan BPK untuk memperihalkan pelakuan sistem dan kemudian menggunakan peralatan SPT untuk menterjemahkan peralatan ke litar.

Masa untuk menyiapkan sesebuah pemproses mikro ialah lapan belas bulan. Kebiasaannya komponen kompleks ini mengandungi berjuta-juta transistor. Oleh itu, jika sekiranya tiada peralatan RTK yang boleh memerangkap pengabstrakan tinggi, maka ianya adalah mustahil untuk merekabentuk dan membuat cip tersebut dalam masa yang singkat. Dan adalah sukar dibayangkan, sekiranya pereka hanya menggunakan skematic dan pernyataan Boolean untuk menentukan, mendokumentasikan dan menghubungkan rekabentuk tersebut pada tahap kekompleksan yang tinggi.[25][26][27][28]

2.2.3 VHDL

Dalam setengah tahun pertama 1990, industri elektronik bertambah dengan pesat terutama dalam pembuatan komputer peribadi, telefon selular dan peranti data komunikasi berkelajuan tinggi. Persaingan pasaran menyebabkan pembekal-pembekal terpaksa menerbitkan produk yang mempunyai prestasi dan kebolehpercayaan fungsian yang tinggi, penggunaan kuasa yang minima, berdimensi kecil serta murah. Oleh itu, pembekal cuba merekabentuk rekabentuk bersepada yang amat tinggi, sistem-sistem kompleks yang mengandungi bilangan IC (litar bersepada) yang minima dan penggunaan kawasan PLiT yang kecil. Dengan bantuan teknologi seperti pemprosesan semikonduktor submikron, pembuatan PLiT dan teknologi lekap-permukaan (*surface-mount*) yang dapat menambahkan darjah kesepaduan litar.

Kesukaran yang dihadapi oleh pereka ialah keupayaan menangani kekompleksan rekabentuk yang makin meningkat, kebolehan menggunakan peralatan Automasi Rekabentuk Elektronik (ARE) dengan cekap dan masa peruntukan yang singkat. Situasi kesukaran ini menggalakkan permintaan untuk mendapatkan atau menggunakan metodologi moden dalam merekabentuk dan ujian. Peranti logik teraturcara (PLoT) berkemampatan tinggi (*high density programmable logic device*) dan VHDL merupakan elemen kepada metodologi tersebut.

VHDL adalah produk hasilan daripada program VHSIC (*Very High Speed Integrated Circuit*) yang ditubuhkan oleh United State Department of Defense (DoD) dalam tahun 1970an dan 1980an. Apabila bahasa ini dibangunkan, ia dirancang sebagai bahasa piawai untuk dokumentasi litar komplek bagi membolehkan ia difahami di antara kontraktor-kontraktor. Ia juga dirancang supaya boleh digunakan sebagai

bahasa model (*modeling language*) yakni ia boleh diproseskan oleh perisian untuk tujuan simulasi. Pada tahun 1987, VHDL dipiawaikan sebagai 'IEEE 1076 standard' dan 'MIL-STD-454L' dalam tahun 1988 yang memerlukan semua IC Kegunaan Khusus (ICKK) yang dibekalkan kepada DoD mesti diperihalkan dalam VHDL. Dalam tahun 1993, 'IEEE 1076 standard' dikemaskinikan dan wujudnya 'IEEE 1164 standard'. Dalam tahun 1996 pula, 'IEEE 1076.3' diwujudkan sebagai piawai bagi sintesis VHDL. Oleh kerana VHDL merupakan peralatan yang berpengaruh terutamanya dari segi pengabstrakan peringkat tinggi, sifat mudah-alih dan industri rekabentuk maka VHDL telah diperluaskan kepada VHDL-AMS (VHDL – Analog and Mixed Signal) yang digunakan untuk memperihalkan dan melaksanakan simulasi sistem digital, analog dan isyarat-campuran dalam satu bahasa.

VHDL bukan merupakan matlumat model (*model information*), pangkalan data (*database*), penyelaku (*simulator*), alat sintesis (*synthesizer*), metodologi atau set peralatan (*toolset*). Walaubagaimanapun metodologi dan set peralatan adalah sangat mustahak untuk membolehkan VHDL digunakan secara berkesan. Oleh itu penyelidikan bukan membabitkan bahasa sahaja tetapi juga metodologi dan peralatan. Penyelidikan terhadap teknologi rekabentuk elektronik digital atau analog mungkin akan menghasilkan peralatan yang membolehkan pereka atau pembina merekabentuk secara grafik (carta aliran) pada pengabstrakan peringkat tinggi. Yakni, peralatan ARE akan secara automatik menghasilkan VHDL yang boleh disintesiskan ke peringkat get. Oleh kerana VHDL membolehkan rekabentuk bebas daripada teknologi dan peralatan rekabentuk maka rekabentuk litar boleh direka atau dicapai melalui VHDL dan seterusnya difabrikasikan dengan teknologi terkini.

Dalam komuniti sistem digital, VHDL digunakan untuk perbincangan di antara satu sama lain berkenaan sesbuah rekabentuk dengan lebih mudah tanpa mendedahkan rekabentuk secara terperinci.

VHDL sungguh sesuai dan popular. digunakan bersama dengan PLoT dalam merekabentuk. Perekabentuk tidak lagi menggunakan persamaan Boolean dan skematic untuk membina Peranti Logik Teraturcara Kompleks (PLoTK) dan TGTM yang berkapasiti besar (lebih daripada 500 get) kerana ia lebih cepat dan cekap. VHDL merupakan bahasa peringkat tinggi yang membolehkan perekabentuk memperihalkan litar digital yang bersaiz besar dan secara tidak langsung ia mempercepatkan penghasilan produk. Ia menyediakan ruang untuk pembinaan pustaka rekabentuk (*creation of design library*) yakni komponen-komponen didalamnya boleh digunakan semula dalam rekabentuk berikutnya. Oleh kerana ia bahasa piawai (IEEE standard 1076) maka VHDL merupakan bahasa mudah-alih di antara perkakasan-perkakasan sintesis dan penyelakuan. Ia juga memudahkan pertukaran rekabentuk daripada logik teraturcara ke perlaksanaan ICKK.

Teknik rekabentuk tradisional seperti peta Karnaugh selalunya diguna untuk menjanakan persamaan yang dilaksanakan dalam PLoT. Dengan menggunakan bahasa pengaturcaraan, pereka-pereka hanya perlu memasukkan persamaan-persamaan tersebut ke dalam fail data. Persamaan-persamaan ini kemudiannya disintesiskan oleh perisian yang menghasilkan fail data untuk kegunaan dalam pengaturcaraan PLoT.

Metodologi rekabentuk tradisional seperti di atas tidak lagi sesuai untuk sistem yang menggunakan PLoTK, TGTM dan ICKK kerana keadah menjanakan persamaan

secara teknik tradisional akan meningkatkan penggunaan masa dan terdedah kepada kesilapan. Kesukaran juga dialami ketika menjelaki kesalahan di dalam persamaan tersebut. Di dalam tangkapan skematik pula terdapat beberapa kebaikan, sebagai contoh, ia membolehkan tinjauan rekabentuk bergrafik dan skematik berhierarki bagi melaksanakan rekabentuk bermodul. Walaupun begitu, ia juga mempunyai beberapa kelemahan terutamanya untuk rekabentuk yang besar.

- persamaan logik masih lagi diterbitkan secara teknik tradisional.
- skematik sukar diselenggarakan kerana keserabutan rekabentuk.
- skematik selalunya disertai dengan pengdokumen untuk memperihalkan atau menerangkan fungsi rekabentuk yang dibina.
- Persekuturan tangkapan skematik untuk sesuatu projek berkemungkinan tidak boleh digunakan semula apabila dilaksanakan pada projek baru yang memerlukan persekitaran yang terkini. (Iaitu tangkapan skematik bergantung kepada teknologi semasa).
- Persekuturan penyelakuan (*simulation environment*) oleh perkakasan tangkapan skematik PLoT bermungkinan tidak sesuai dengan sistem yang digunakan dalam merekabentuk, ini menyebabkan penentusan sukar dilaksanakan.

Oleh itu metodologi rekabentuk yang sesuai ialah metodologi yang boleh meningkatkan kecekapan rekabentuk seperti Metodologi Rekabentuk Peringkat Tinggi. Metodologi ini mempunyai ciri-ciri seperti pengabstrakan yang tinggi, penganalisaan tukaran-saling (*tradeoff*) yang cepat, bebas daripada teknologi,

penggunaan semula rekaan, boleh berulang, keputusan terjamin dan sistem penyelakuan yang lengkap.

Pada masa ini hanya dua bahasa yang boleh melaksanakan metodologi tersebut di dalam merekabentuk logik digital iaitu VHDL dan Verilog. Verilog dikatakan kurang meleret daripada VHDL, tetapi perkara ini hanya melibatkan ciri dan kekayaan bahasa. Namun begitu, bagi tujuan dokumentasi, sintesis dan penyelakuan untuk peranti dan sistem, VHDL adalah pilihan terbaik [26][28][29][30][31].

Bahagian pertama bab ini menerang literasi berkenaan PTA dari segi struktur dan prestasi terutamanya berkenaan dengan pendarab pepohon Wallace yang digunakan dalam PTA 64bit manakala bahagian kedua pula berkenaan dengan sejarah dan kelebihan VHDL dan SPT yang akan digunakan dalam membina PTA 32bit bertalian paip yang dihuraikan dalam bab berikutnya.